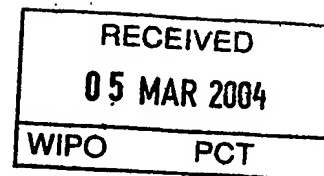


P C T

## 国際予備審査報告

(法第12条、法施行規則第56条)

〔PCT36条及びPCT規則70〕



出願人又は代理人 の書類記号 DP-965PCT	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/ IPEA/416）を参照すること。	
国際出願番号 PCT/JP03/14107	国際出願日 (日.月.年) 05.11.03	優先日 (日.月.年) 06.11.02
国際特許分類 (IPC) Int Cl <sup>7</sup> H03K 19/0185		
出願人 (氏名又は名称) 日本電気株式会社		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条（PCT36条）の規定に従い送付する。	
2. この国際予備審査報告は、この表紙を含めて全部で <u>3</u> ページからなる。	
<input checked="" type="checkbox"/> この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び／又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び／又は図面も添付されている。 (PCT規則70.16及びPCT実施細則第607号参照) この附属書類は、全部で <u>10</u> ページである。	
3. この国際予備審査報告は、次の内容を含む。	
I	<input checked="" type="checkbox"/> 国際予備審査報告の基礎
II	<input type="checkbox"/> 優先権
III	<input type="checkbox"/> 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
IV	<input type="checkbox"/> 発明の単一性の欠如
V	<input checked="" type="checkbox"/> PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
VI	<input type="checkbox"/> ある種の引用文献
VII	<input type="checkbox"/> 国際出願の不備
VIII	<input type="checkbox"/> 国際出願に対する意見

国際予備審査の請求書を受理した日 05.11.2003	国際予備審査報告を作成した日 20.02.2004	
名称及びあて先 日本国特許庁 (IPEA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 彦田 克文	5X 9182
電話番号 03-3581-1101 内線 3556		

## I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に  
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。  
 PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

☒ 明細書 第 1、6-25 ページ、 出願時に提出されたもの  
 明細書 第 \_\_\_\_\_ ページ、 国際予備審査の請求書と共に提出されたもの  
 明細書 第 2-5 ページ、 10.02.2004 付の書簡と共に提出されたもの

☒ 請求の範囲 第 \_\_\_\_\_ 項、 出願時に提出されたもの  
 請求の範囲 第 \_\_\_\_\_ 項、 PCT19条の規定に基づき補正されたもの  
 請求の範囲 第 \_\_\_\_\_ 項、 国際予備審査の請求書と共に提出されたもの  
 請求の範囲 第 1-13 項、 10.02.2004 付の書簡と共に提出されたもの

☒ 図面 第 1-38 ページ/図、 出願時に提出されたもの  
 図面 第 \_\_\_\_\_ ページ/図、 国際予備審査の請求書と共に提出されたもの  
 図面 第 \_\_\_\_\_ ページ/図、 \_\_\_\_\_ 付の書簡と共に提出されたもの

☐ 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 出願時に提出されたもの  
 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 国際予備審査の請求書と共に提出されたもの  
 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 \_\_\_\_\_ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である \_\_\_\_\_ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語  
☐ PCT規則48.3(b)にいう国際公開の言語  
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表  
☐ この国際出願と共に提出された磁気ディスクによる配列表  
☐ 出願後に、この国際予備審査（または調査）機関に提出された書面による配列表  
☐ 出願後に、この国際予備審査（または調査）機関に提出された磁気ディスクによる配列表  
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった  
☐ 書面による配列表に記載した配列と磁気ディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

☐ 明細書 第 \_\_\_\_\_ ページ  
☐ 請求の範囲 第 \_\_\_\_\_ 項  
☐ 図面 図面の第 \_\_\_\_\_ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

## V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

## 1. 見解

新規性(N)	請求の範囲	1-13	有
	請求の範囲		無
進歩性(IS)	請求の範囲	1-13	有
	請求の範囲		無
産業上の利用可能性(IA)	請求の範囲	1-13	有
	請求の範囲		無

## 2. 文献及び説明(PCT規則70.7)

文献1: JP 2001-68991 A (日本電気アイシーマイコンシステム株式会社) 2001. 03. 16 (ファミリーなし)  
文献2: JP 11-239051 A (日本電気株式会社) 1999. 08. 31 & US 6094083 A  
文献3: JP 2000-349618 A (松下電子工業株式会社) 2000. 12. 15 (ファミリーなし)  
文献4: JP 6-268452 A (三菱電機株式会社) 1994. 09. 22 (ファミリーなし)  
文献5: JP 11-261401 A (シャープ株式会社) 1999. 09. 24 & US 6002290 A  
文献6: JP 6-243680 A (三菱電機株式会社) 1994. 09. 02 (ファミリーなし)  
文献7: JP 10-84274 A (松下電器産業株式会社) 1998. 03. 31 (ファミリーなし)  
文献8: JP 11-205140 A (三菱電機株式会社) 1999. 07. 30 & US 6091351 A  
文献9: JP 11-195975 A (株式会社日立製作所) 1999. 07. 21 & US 6249145 B1  
文献10: JP 9-74348 A (セイコーエプソン株式会社) 1997. 03. 18 (ファミリーなし)  
文献11: JP 2000-124792 A (新日本無線株式会社) 2000. 04. 28 (ファミリーなし)  
文献12: JP 7-264047 A (富士通株式会社) 1995. 10. 13 (ファミリーなし)

請求項1-13に係る発明は、上記のいずれの文献にも記載されておらず、当業者にとって自明なものとも認められない。

特開昭63-152220号公報（第2～第3頁、第1図～第3図）

[特許文献2]

特開平06-243680号公報（第8～第15頁、第1、第3、第5、第7及び第9図）

[特許文献3]

特開平06-268452号公報（第4～第5頁、第1、第3及び第5図）

### 発明が解決しようとする課題

しかしながら、前記した技術のうち、前者の特許文献2に開示された技術では、プルアップ回路に第1の電源が供給され、プルアップ回路がレベル変換入力信号の第1の電源レベルで制御され、プルアップ回路が実施例に示される n-MOS を用いた場合には、閾値落ちしてしまう。特に、第1の電源と第2の電源の電位差が大きいほど、プルアップ能力が十分でなく、十分なレベル変換動作マージンが得られないという問題がある。また、後者の特許文献3に記載の技術では、p-MOS スイッチがレベル変換入力信号の第1の電源レベルで制御されることから、特に、第1の電源と第2の電源の電位差が大きいほど p-MOS クロスカップルの結合を弱める力が十分でなく、十分なレベル変換速度が得られないという問題がある。

本発明の目的は、第1の電源と第2の電源の電位差が大きくても十分なレベル変換動作マージンが得られるとともに、十分なレベル変換速度を有したレベル変換回路を提供することにある。

### 発明の開示

本発明のレベル変換回路の発明は、制御回路が制御するおよび／またはプルアップおよび／またはプルダウン回路を制御するレベル変換コア回路を設け、前記レベル変換コア回路は、前記第2の電源と、前記第1の論理回路からの出力信号を入力し、前記第2の論理回路に入力する信号を出力し、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力

## 3

信号の正転信号を入力とする NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号を入力とする NOR 回路と、からなり、前記 2 つの NOR 回路の各出力信号を制御信号として出力することを特徴とする。

前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号を入力とする NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号を入力とする NOR 回路と、前記第 2 の電源が供給され前記各 NOR 回路出力を入力とする複数のインバータとからなり、前記 NOR 回路と前記インバータの各出力信号を制御信号として出力することができる。

第 2 のレベル変換回路は、レベル変換を実現するレベル変換コア回路と、レベル変換コア回路のレベル変換出力に前記第 2 の電源が供給されるプルアップおよび／またはプルダウン回路と、前記第 2 の電源が供給されレベル変換入力信号と前記レベル変換出力信号とを入力する制御回路により前記プルアップおよび／またはプルダウン回路とを制御する制御回路とを設け、

前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号を入力とする NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号を入力とする NOR 回路と、からなり、

前記 2 つの NOR 回路の各出力信号を制御信号として出力することができる。

第 2 のレベル変換回路の前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号を入力とする NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号を入力とする NOR 回路と、前記第 2 の電源が供給され前記各 NOR 回路出力を入力とする複数のインバータとからなり、

前記 NOR 回路と前記インバータの各出力信号を制御信号として出力することができる。

特に、前記 NOR 回路は、CMOS 回路構成であり、前記レベル変換入力信号が接続される p-MOS はチャネル幅／チャネル長の比が小さいか、閾値の極性は負

で絶対値が高い少なくとも1つの条件のトランジスタからなっていることが好ましい。

また第3のレベル変換回路は、レベル変換を実現するレベル変換コア回路と、レベル変換コア回路のレベル変換出力に前記第2の電源が供給されるプルアップおよび／またはプルダウン回路と、前記第2の電源が供給されレベル変換入力信号と前記レベル変換出力信号とを入力する制御回路により前記プルアップおよび／またはプルダウン回路とを制御する制御回路とを設け、

前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号を入力とする NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号を入力とする NAND 回路と、からなり、前記2つの NAND 回路の出力信号を制御信号として出力している。

前記第3のレベル変換回路において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号を入力とする NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号を入力とする NAND 回路と、前記第2の電源が供給され前記 NAND 回路の各出力を入力とする複数のインバータとからなり、前記 NAND 回路と前記インバータの各出力信号を制御信号として出力していることをできる。

このようなレベル変換回路の前記 NAND 回路は、CMOS 回路構成であり、前記レベル変換入力信号が接続される p-MOS はチャネル幅／チャネル長の比が小さいか、閾値の極性が負で絶対値が高い、少なくともいずれかの条件を有するトランジスタからなっていることが好ましく、前記レベル変換コア回路は、複数の p-MOS からなる p-MOS クロスカップルラッチと、複数の n-MOS からなる差動 n-MOS スイッチとを有し、前記 p-MOS の各ソース端子が第2の電源に接続され、前記 p-MOS の各ゲート端子に各ドレイン端子であるレベル変換出力が接続され、前記差動 n-MOS スイッチの前記 n-MOS は、ソース端子が各 GND 電源に接続され、前記レベル変換出力に前記 n-MOS のドレイン端子が接続され、レベル変換入力に前記 n-MOS のゲート端子が接続されたことが好ましく、前記

プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力にそれぞれのドレイン端子が接続される複数の p-MOS と、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子がそれぞれ接続される複数の n-MOS からなっているか、前記レベル変換コア回路は、前記第2の電源に各ソース端子が、前記各レベル変換出力の各ゲート端子が接続された複数の p-MOS からなる p-MOS クロスカップルラッチと、前記複数の p-MOS のドレイン端子に各ソース端子が、前記各レベル変換入力に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続された複数の p-MOS スイッチと、GND 電源に各ソース端子が、前記レベル変換出力に各ドレイン端子が、レベル変換入力に各ゲート端子がそれぞれ接続された複数の n-MOS からなる差動 n-MOS スイッチとなっているか、または、前記レベル変換コア回路は、前記第2の電源にそれぞれソース端子が、ゲート端子にそれぞれのドレイン端子であるレベル変換出力が接続された複数の p-MOS からなる p-MOS クロスカップルラッチと、GND 電源にそれぞれのソース端子が、前記レベル変換出力にそれぞれのドレイン端子が、レベル変換入力に各ゲート端子が接続された複数の n-MOS からなる差動 n-MOS スイッチと、前記第1の電源にそれぞれドレイン端子が、前記レベル変換入力に各ゲート端子が、前記レベル変換出力に各ソース端子が接続された n-MOS を有することが好ましい。

#### 図面の簡単な説明

図1は、従来のレベル変換回路の例を示す回路図である。

図2は、従来のレベル変換回路の別の例を示す回路図である。

図3は、従来のレベル変換回路のさらに別の例を示す回路図である。

図4は、第2実施形態の変形例に使用される制御回路の別の例を示す回路図である。

図5は、第2実施形態の変形例に使用される制御回路の他の別の例を示す回路図である。

図6は、第2の実施形態に使用される制御回路の別の例を示す回路図である。

5/1

図7は、本発明に係るレベル変換回路の実施の形態例を示す図である。

図8は、本発明に係るレベル変換回路に使用されるレベル変換コア回路の例を示す図である。

図9は、本発明に係るレベル変換回路に使用される制御回路の例を示す図である。

図10は、本発明に係るレベル変換回路に使用されるプルアップ／プルダウン回路の例を示す図である。

図11は、本発明に係るレベル変換回路に使用される NAND 回路の例を示す図である。

図12は、本発明に係るレベル変換回路に使用される OR 回路の例を示す図である。

図13は、本発明に係るレベル変換回路に使用されるレベル変換コア回路の



## 請求の範囲

1. (補正後) 第1の電源が供給される第1の論理回路の信号レベルを第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、

前記レベル変換回路は、制御回路が制御するおよび／またはプルアップおよび／またはプルダウン回路を制御するレベル変換コア回路を設け、

前記レベル変換コア回路は、前記第2の電源と、前記第1の論理回路からの出力信号を入力し、前記第2の論理回路に入力する信号を出力し、

前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号を入力とする NOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号を入力とする NOR 回路と、からなり、

前記2つの NOR 回路の各出力信号を制御信号として出力することを特徴とするレベル変換回路。

2. (補正後) 第1の電源が供給される第1の論理回路の信号レベルを第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、

前記レベル変換回路は、制御回路が制御するおよび／またはプルアップおよび／またはプルダウン回路を制御するレベル変換コア回路を設け、

前記レベル変換コア回路は、前記第2の電源と、前記第1の論理回路からの出力信号を入力し、前記第2の論理回路に入力する信号を出力し、

前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号を入力とする NOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号を入力とする NOR 回路と、前記第2の電源が供給され前記各 NOR 回路出力を入力とする複数のインバータとからなり、

前記 NOR 回路と前記インバータの各出力信号を制御信号として出力することを特徴とするレベル変換回路。

3. (補正後) 第1の電源が供給される第1の論理回路の信号レベルを第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、

前記レベル変換回路は、レベル変換を実現するレベル変換コア回路と、

レベル変換コア回路のレベル変換出力に前記第2の電源が供給されるプルアップおよび／またはプルダウン回路と、

前記第2の電源が供給されレベル変換入力信号と前記レベル変換出力信号とを入力する制御回路により前記プルアップおよび／またはプルダウン回路とを制御する制御回路とを設け、

前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号を入力とする NOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号を入力とする NOR 回路と、からなり、

前記2つの NOR 回路の各出力信号を制御信号として出力することを特徴とするレベル変換回路。

4. (補正後) 第1の電源が供給される第1の論理回路の信号レベルを第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、

前記レベル変換回路は、レベル変換を実現するレベル変換コア回路と、

レベル変換コア回路のレベル変換出力に前記第2の電源が供給されるプルアップおよび／またはプルダウン回路と、

前記第2の電源が供給されレベル変換入力信号と前記レベル変換出力信号とを入力する制御回路により前記プルアップおよび／またはプルダウン回路とを制御する制御回路とを設け、

前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号を入力とする NOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号を入力とする NOR 回路と、前記第2の電源が供給され前記各 NOR 回路出力を入力とする複数のインバータとからなり、

前記 NOR 回路と前記インバータの各出力信号を制御信号として出力することを特徴とするレベル変換回路。

5 (補正後). 前記 NOR 回路は、CMOS 回路構成であり、前記レベル変換入力信号が接続される p-MOS はチャネル幅/チャネル長の比が小さいか、閾値の極性は負で絶対値が高い少なくとも 1 つの条件のトランジスタからなっていることを特徴とする請求項 1～4 のいずれか 1 項に記載のレベル変換回路。

6. (補正後) 第 1 の電源が供給される第 1 の論理回路の信号レベルを第 2 の電源が供給される第 2 の論理回路の信号レベルに変換するレベル変換回路において、

前記レベル変換回路は、制御回路が制御するおよび/またはプルアップおよび/またはプルダウン回路を制御するレベル変換コア回路を設け、

前記レベル変換コア回路は、前記第 2 の電源と、前記第 1 の論理回路からの出力信号を入力し、前記第 2 の論理回路に入力する信号を出力し、

前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号を入力とする NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号を入力とする NAND 回路と、からなり、前記 2 つの NAND 回路の出力信号を制御信号として出力していることを特徴とするレベル変換回路。

7. (補正後) 第 1 の電源が供給される第 1 の論理回路の信号レベルを第 2 の電源が供給される第 2 の論理回路の信号レベルに変換するレベル変換回路において、

前記レベル変換回路は、レベル変換を実現するレベル変換コア回路と、

レベル変換コア回路のレベル変換出力に前記第 2 の電源が供給されるプルアップおよび/またはプルダウン回路と、

前記第 2 の電源が供給されレベル変換入力信号と前記レベル変換出力信号とを入力する制御回路により前記プルアップおよび/またはプルダウン回路とを制御する制御回路とを設け、

前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号を入力とする NAND 回路と、前記第 2

28/1

の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号を入力とする NAND 回路と、からなり、前記 2 つの NAND 回路の出力信号を制御信号として出力していることを特徴とするレベル変換回路。

8. (補正後) 第 1 の電源が供給される第 1 の論理回路の信号レベルを第 2 の電源が供給される第 2 の論理回路の信号レベルに変換するレベル変換回路において、

前記レベル変換回路は、レベル変換を実現するレベル変換コア回路と、

レベル変換コア回路のレベル変換出力に前記第 2 の電源が供給されるプルアップおよび／またはプルダウン回路と、

前記第 2 の電源が供給されレベル変換入力信号と前記レベル変換出力信号とを入力する制御回路により前記プルアップおよび／またはプルダウン回路とを制御する制御回路とを設け、

前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号を入力とする NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号を入力とする NAND 回路と、前記第 2 の電源が供給され前記 NAND 回路の各出力を入力とする複数のインバータとからなり、前記 NAND 回路と前記インバータの各出力信号を制御信号として出力していることを特徴とするレベル変換回路。

9 (補正後). 前記 NAND 回路は、CMOS 回路構成であり、前記レベル変換入力信号が接続される p-MOS はチャネル幅／チャネル長の比が小さいか、閾値の極性が負で絶対値が高い、少なくともいずれかの条件を有するトランジスタからなっていることを特徴とする請求項 6 ～ 8 のいずれか 1 項に記載のレベル変換回路。

10 (補正後). 前記レベル変換コア回路は、複数の p-MOS からなる p-MOS クロスカップルラッチと、複数の n-MOS からなる差動 n-MOS スイッチとを有し、

前記 p-MOS の各ソース端子が第 2 の電源に接続され、前記 p-MOS の各ゲート端子に各ドレイン端子であるレベル変換出力が接続され、前記差動 n-MOS ス

28/2

イッチの前記 n-MOS は、ソース端子が各 GND 電源に接続され、前記レベル変換出力に前記 n-MOS のドレイン端子が接続され、レベル変換入力に前記 n-MOS のゲート端子が接続されたことを特徴とする請求項 1～4 または 6～8 のいずれか 1 項に記載のレベル変換回路。

1 1 (追加). 前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力にそれぞれのドレイン端子が接続される複数の p-MOS と、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子がそれぞれ接続される複数の n-MOS からなっていることを特徴とする請求項請求項 1～4 または 6～8 のいずれか 1 項に記載のレベル変換回路。

1 2 (追加). 前記レベル変換コア回路は、前記第 2 の電源に各ソース端子が、前記各レベル変換出力の各ゲート端子が接続された複数の p-MOS からなる p-MOS クロスカップルラッチと、前記複数の p-MOS のドレイン端子に各ソース端子が、前記各レベル変換入力に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続された複数の p-MOS スイッチと、GND 電源に各ソース端子が、前記レベル変換出力に各ドレイン端子が、レベル変換入力に各ゲート端子がそれぞれ接続された複数の n-MOS からなる差動 n-MOS スイッチとなっていることを特徴とする請求項請求項 1～4 または 6～8 のいずれか 1 項に記載のレベル変換回路。

1 3 (追加). 前記レベル変換コア回路は、前記第 2 の電源にそれぞれソース端子が、ゲート端子にそれぞれのドレイン端子であるレベル変換出力が接続された複数の p-MOS からなる p-MOS クロスカップルラッチと、GND 電源にそれぞれのソース端子が、前記レベル変換出力にそれぞれのドレイン端子が、レベル変換入力に各ゲート端子が接続された複数の n-MOS からなる差動 n-MOS スイッチと、前記第 1 の電源にそれぞれドレイン端子が、前記レベル変換入力に各ゲート端子が、前記レベル変換出力に各ソース端子が接続された n-MOS を有することを特徴とする請求項請求項 1～4 または 6～8 のいずれか 1 項に記載のレベル変換回路。

Translation

PATENT COOPERATION TREATY

PCT/JP2003/014107



# PCT

## INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference DP-965PCT	<b>FOR FURTHER ACTION</b> See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP2003/014107	International filing date ( <i>day/month/year</i> ) 05 November 2003 (05.11.2003)	Priority date ( <i>day/month/year</i> ) 06 November 2002 (06.11.2002)
International Patent Classification (IPC) or national classification and IPC H03K 19/0185		
Applicant NEC CORPORATION		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.

2. This REPORT consists of a total of 3 sheets, including this cover sheet.

☒ This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).

These annexes consist of a total of 10 sheets.

3. This report contains indications relating to the following items:

- I ☒ Basis of the report
- II ☐ Priority
- III ☐ Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV ☐ Lack of unity of invention
- V ☒ Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI ☐ Certain documents cited
- VII ☐ Certain defects in the international application
- VIII ☐ Certain observations on the international application

Date of submission of the demand 05 November 2003 (05.11.2003)	Date of completion of this report 20 February 2004 (20.02.2004)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

# INTERNATIONAL PRELIMINARY EXAMINATION REPORT

national application No.

PCT/JP2003/014107

## I. Basis of the report

### 1. With regard to the elements of the international application:\*

- ☐ the international application as originally filed
- ☒ the description:  
 pages 1, 6-25, as originally filed  
 pages \_\_\_\_\_, filed with the demand  
 pages 2-5, filed with the letter of \_\_\_\_\_
- ☒ the claims:  
 pages \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, as amended (together with any statement under Article 19  
 pages \_\_\_\_\_, filed with the demand  
 pages 1-13, filed with the letter of \_\_\_\_\_
- ☒ the drawings:  
 pages 1-38, as originally filed  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the sequence listing part of the description:  
 pages \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

### 2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language \_\_\_\_\_ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

### 3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

### 4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages \_\_\_\_\_
- ☐ the claims, Nos. \_\_\_\_\_
- ☐ the drawings, sheets/fig \_\_\_\_\_

### 5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).\*\*

\* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

\*\* Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

## INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP03/14107

**V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement****1. Statement**

Novelty (N)	Claims	1-13	YES
	Claims		NO
Inventive step (IS)	Claims	1-13	YES
	Claims		NO
Industrial applicability (IA)	Claims	1-13	YES
	Claims		NO

**2. Citations and explanations**

Document 1: JP, 2001-68991, A (NEC IC Microcomputer Systems Ltd.), 16 March, 2001 (16.03.01) (Family: none)

Document 2: JP, 11-239051, A (NEC Corp.), 31 August, 1999 (31.08.99), & US, 6094083, A

Document 3: JP, 2000-349618, A (Matsushita Electronics Corp.), 15 December, 2000 (15.12.00) (Family: none)

Document 4: JP, 6-268452, A (Mitsubishi Electric Corp.), 22 September, 1994 (22.09.94) (Family: none)

Document 5: JP, 11-261401, A (Sharp Corp.), 24 September, 1999 (24.09.99), & US, 6002290, A

Document 6: JP, 6-243680, A (Mitsubishi Electric Corp.), 2 September, 1994 (02.09.94) (Family: none)

Document 7: JP, 10-84274, A (Matsushita Electric Industrial Co., Ltd.), 31 March, 1998 (31.03.98) (Family: none)

Document 8: JP, 11-205140, A (Mitsubishi Electric Corp.), 30 July, 1999 (30.07.99), & US, 6091351, A

Document 9: JP, 11-195975, A (Hitachi, Ltd.), 21 July, 1999 (21.07.99), & US, 6249145, B1

Document 10: JP, 9-74348, A (Seiko Epson Corp.), 18 March, 1997 (18.03.97) (Family: none)

Document 11: JP, 2000-124792, A (New Japan Radio Co., Ltd.), 28 April, 2000 (28.04.00) (Family: none)

Document 12: JP, 7-264047, A (Fujitsu Ltd.), 13 October, 1995 (13.10.95) (Family: none)

The subject matters of claims 1-13 are neither described in any of the above-mentioned documents nor obvious to a person skilled in the art.